

DC/DC コンバータの出力短絡試験で発生するトラブル

超低 ESR 積層セラミック・コンデンサが発生する問題

電源 IC の評価時に行う短絡テストによる破壊の発生

電源 IC 評価時

過負荷試験として過電流保護の動作確認 ⇒ 電子負荷による VI 特性の測定

機器内への金属片の混入などによる電源ラインのハードショート時の安全性確認 ⇒ 負荷短絡試験



短絡の方法によっては電源 IC の破壊に至る場合がある

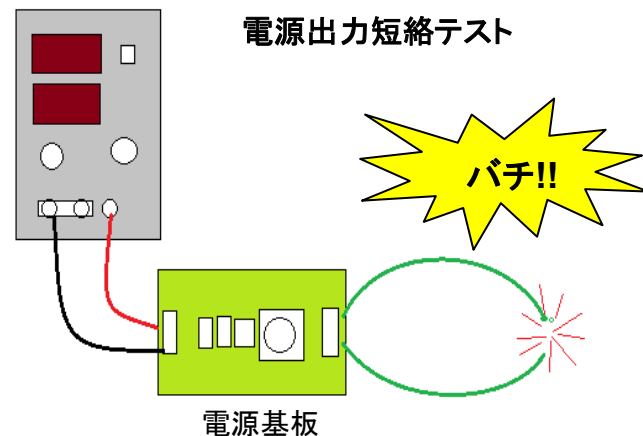
実機基板での短絡試験を行った場合、電源供給されている
負荷回路側で破壊が発生する可能性もある



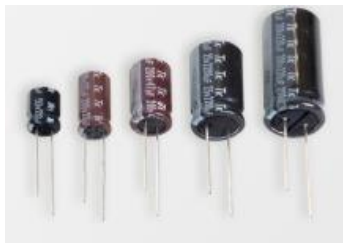
短絡の方法によって破壊が発生する場合としない場合がある

原因が電源 IC の過電流保護機能の問題では無い場合が多い

短絡に使用したワイヤーや基板のパターンの持つインダクタン
ス成分による物理現象の発生が原因となるケースが多い



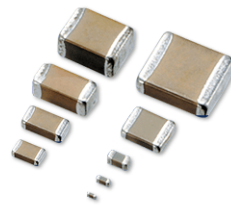
電源 IC で使用されるコンデンサの低 ESR 化



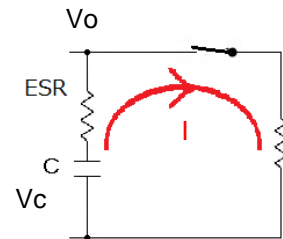
電解コンデンサ
ESR: 数 100mΩ ~ 数 Ω



POS-CAP/OS-CON
ESR: 10mΩ ~ 数 100mΩ



積層セラミック
ESR: 10mΩ 以下



$$V_o = V_c - I \times ESR$$

積層セラミック・コンデンサでは低 ESR 化が進行

2000 年には 10μF で 20mΩ 程度あった ESR が 3mΩ 以下といった超低 ESR 化



出力コンに使用した場合、リップル電圧の低下と過渡応答時の電圧低下が減少
⇒ 応答特性の遅い電源 IC の性能をカバー



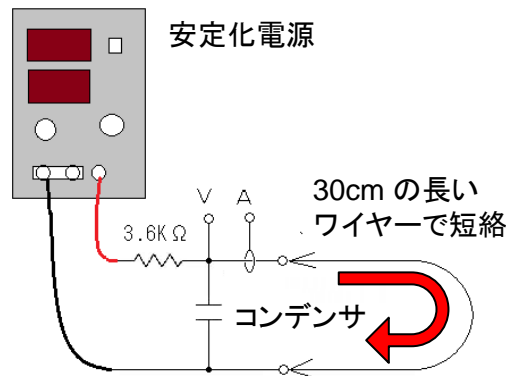
従来のコンデンサでは起きなかった現象が発生し、思いもかけないトラブルが発生

電解コンデンサ、POS-CAP、セラミック・コンデンサを ループ状のワイヤで短絡した時の端子電圧と短絡電流

- ある程度の長さを持ったワイヤで短絡を発生させた時、短絡したワイヤにはどのような電流が流れ、出力電圧はどう変化するのか？
- まずは電源 IC が接続されていないコンデンサに設定電圧まで充電を行い、コンデンサ単体で端子間短絡を発生させた時にどうなるかを実験。

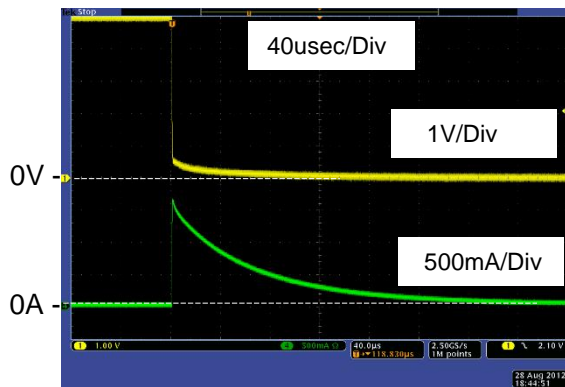
コンデンサの短絡放電時の電圧・電流特性の測定

3.6K Ω の抵抗を經由してコンデンサを充電
端子間を 30cm の長いワイヤで短絡
放電電流と端子電圧を観測



22 μ F/16V の電解コンデンサでの短絡試験

V=5.0V 時

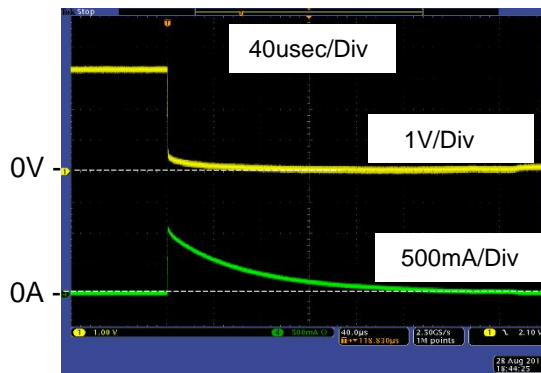


電圧は一気に +0.5V まで低下
その後 0V へ

$I_P=1.7A$ の後電流が減少

約 200 μ sec で減少

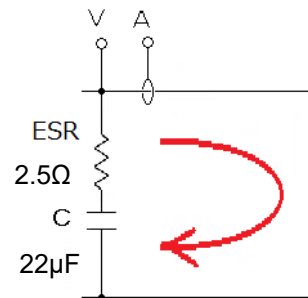
V=3.3V 時



電圧は一気に +0.3V まで低下
その後 0V へ

$I_P=1.1A$ の後電流が減少

約 200 μ sec で減少

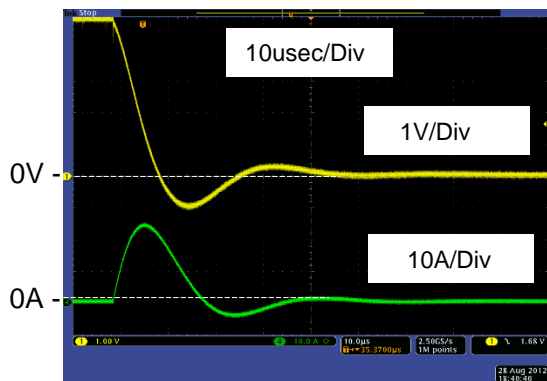


コンデンサの ESR が 2.5 Ω 程度
あるので、短絡すると一気に電圧
が低下し短絡電流も 2A 以下の
電流しか流れない。

* 短絡してもこの程度の電流しか流れない
1A の過渡応答には全く対応できないので、
10 倍以上の容量にして ESR を 1/10 以下
にする必要がある。

47 μ F の POS-CAP での短絡試験

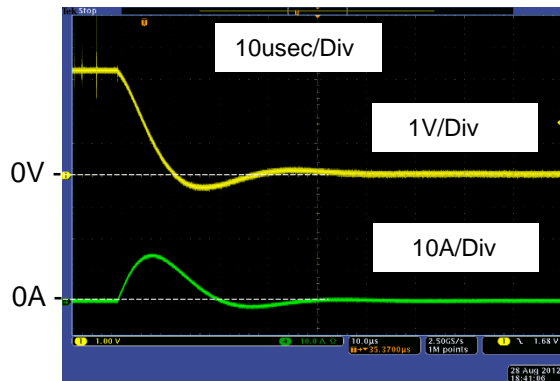
V=5.0V 時



電圧は 10 μ S 程で低下するが 0V を超えて **-1.0V** まで低下その後 0V に戻る。

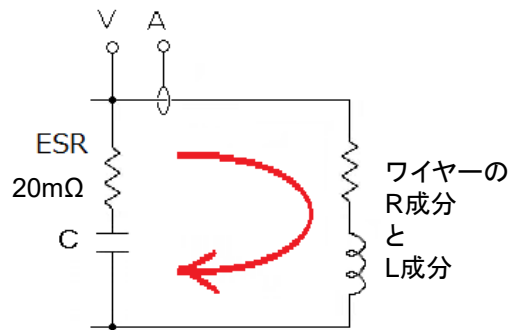
IP=**23A** の電流が流れた後減少して少し**逆流**後、0に

V=3.3V 時



電圧は 10 μ S 程で低下するが 0V を超えて **-0.4V** まで低下その後 0V に戻る。

IP=**15A** の電流が流れた後減少して少し**逆流**後、0に



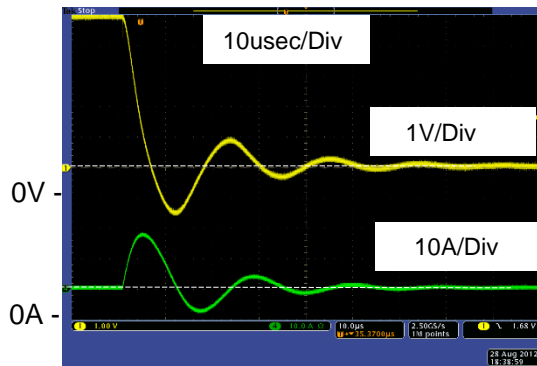
コンデンサの **ESR が 50m Ω** 程度しかないので 20A 前後流れる。

配線のインダクタンスとの共振現象が発生し電圧が負電圧までアンダーシュートして減衰振動を発生しながら 0 に収束。

ロングワイヤーのインダクタンスとコンデンサとの共振により**負電圧と逆流電流**が発生する。

22 μ F/6.3Vの積層セラミックでの短絡試験

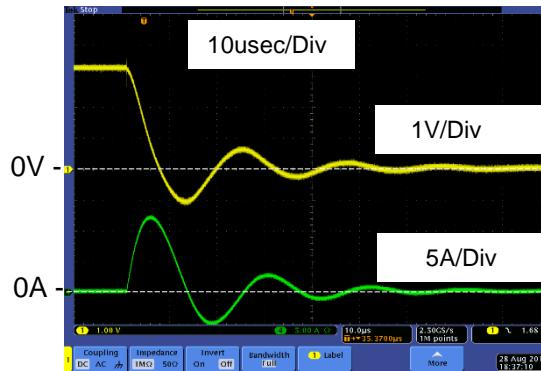
V=5.0V 時



電圧は 10 μ S 程で低下するが 0V を超えて **-1.5V** まで低下その後減衰振動して 0V に

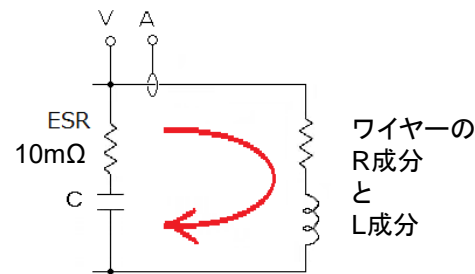
I_P=18A の電流が流れ、その後逆流して減衰振動して 0 に

V=3.3V 時



電圧は 10 μ S 程で低下するが 0V を超えて **-1.0V** まで低下その後減衰振動して 0V に

I_P=13A の電流が流れ、その後逆流して減衰振動して 0 に



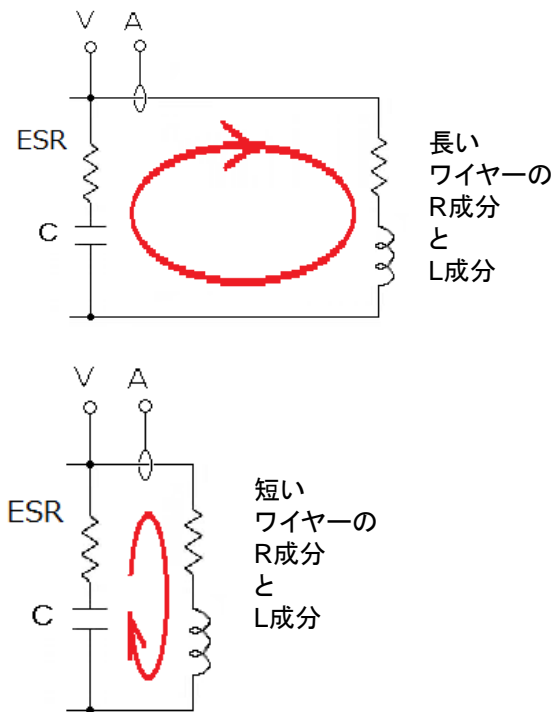
コンデンサの ESR が 10m Ω 以下しかないので 15A 前後流れる。

配線のインダクタンスとの共振が発生、低 ESR により Q 値が大きく、振幅も増大し負電圧まで大きくアンダーシュートする

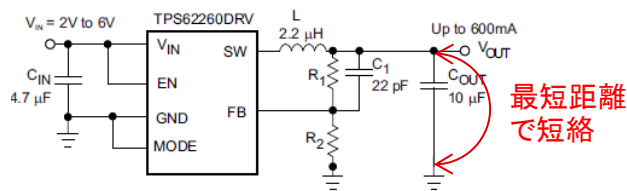
ロングワイヤーのインダクタンスとコンデンサとの共振により **大きな負電圧と逆電流**を伴う減衰振動が発生する。

ESR が低いと短絡したワイヤーのインダクタンスとのLC共振でダンピングされないので、負電圧までアンダーシュートが発生

- コンデンサ端子短絡によりコンデンサの C とワイヤーの L による LC 共振回路を構成
 - ⇒ コンデンサに蓄積されていた電荷をエネルギー源として共振振動が発生
- 共振振動でコンデンサは負電圧まで充電
 - ⇒ 低 ESR セラコンでは Q 値が高い LC 共振回路となり、ピーク電圧は高くなる
- 短絡するワイヤーが短いと L 成分が小さく、ピーク電流は更に増大
 - ⇒ ESR で発生する導通損の増大によりエネルギー減衰が急速に発生して早期に振動が収束

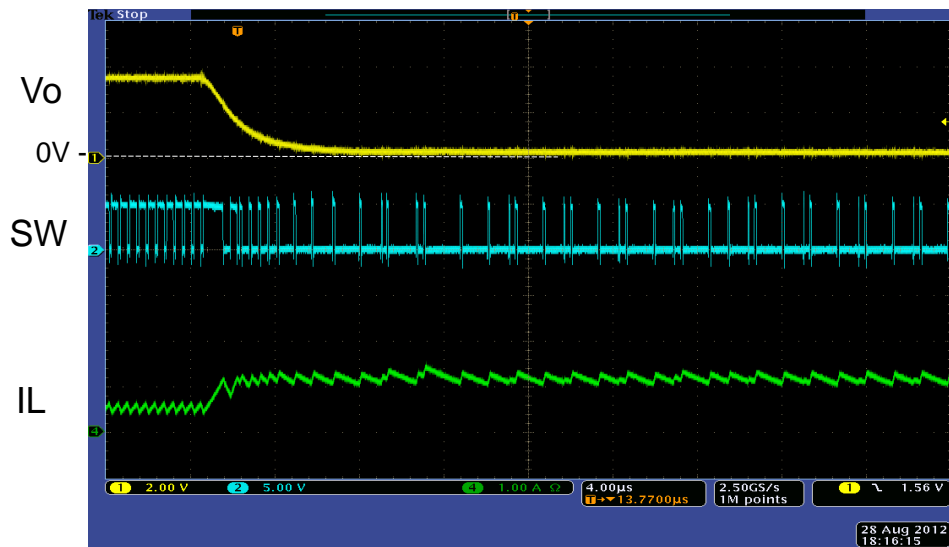


同期整流降圧型 DC/DC コンバータでの出力短絡時の動作 出力コンデンサ端子間を最短距離



TPS62260 600mA
ハイサイド過電流検出
ピーク電流制限
ローサイド過電流制限
バレー電流制限

出力は 10 μ F の積層セラミックコンデンサ、ピン間短距離ショートにより電圧はスムーズに低下。

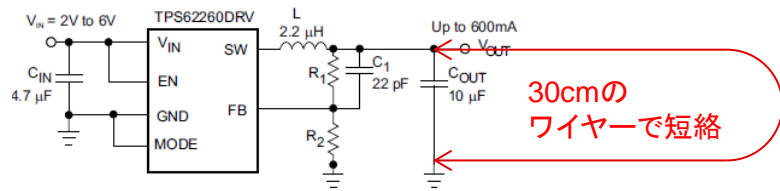


TPS62260 は 1A(Typ) のピーク電流制限により、ハイサイド ON 時インダクタ電流が 1A を超えていると OFF

ローサイドの電流制限も 1A で、インダクタ電流が 1A 未満に下がるまでハイサイド・スイッチの ON を停止

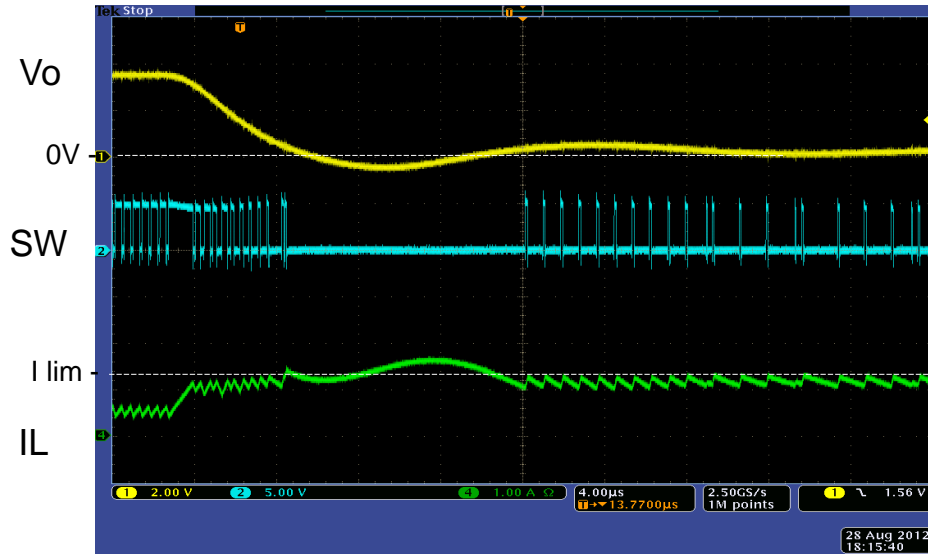
短絡保護動作によりインダクタ電流は定電流状態となり、短絡電流も一定値を維持。

同期整流降圧型 DC/DC コンバータでの出力短絡時の動作 出力端子を 30cm 程のワイヤーで短絡



30cm のワイヤーによる共振で出力電圧が -1V 程度までアンダーシュートが発生

* この時コンデンサとワイヤー間では 10A 級の短絡電流が流れている



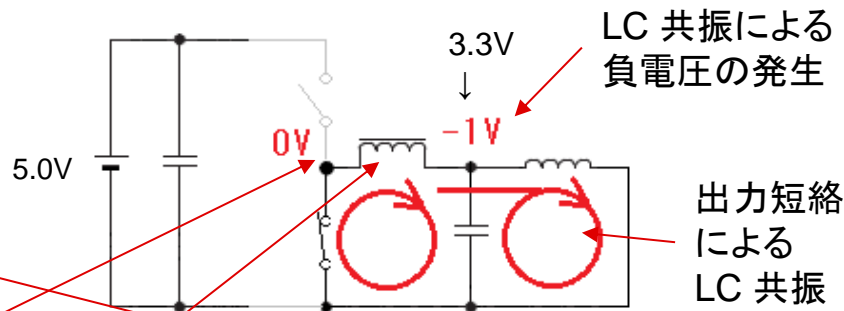
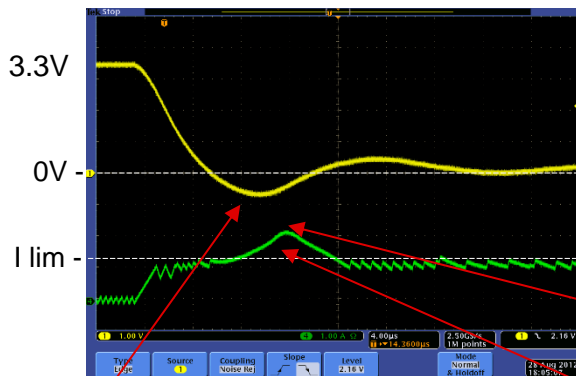
1A の過電流制限が動作してローサイド ON のままスイッチングを停止してインダクタ電流の減少を待つ

スイッチングが停止しているにも関わらずインダクタ電流が増加

出力の負電圧が減少するとインダクタ電流の増加は止まり、その後電流の減少を開始

インダクタ電流が 1A まで減少するとスイッチングを再開して定電流状態が再開

スイッチングしていない＝ハイサイドスイッチが ON していないのに インダクタ電流が増加する



出力コンデンサの+端子は共振により負電圧(-1V)となる。

SWノードはハイサイドはOFF,ローサイドはONなのでほぼ0Vとなる

2.2uHのインダクタは左が0V、右が-1Vとなり入力側が1V高くなる

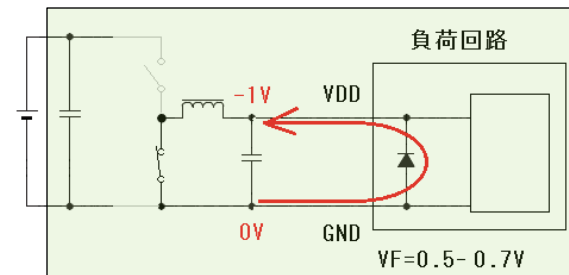
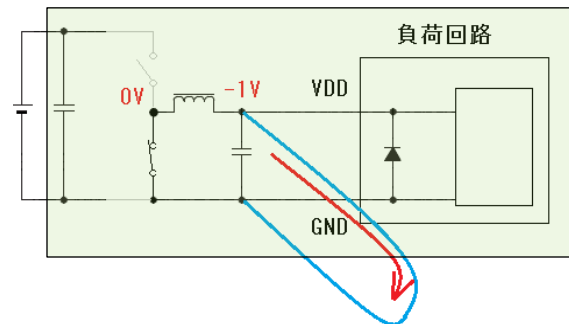
インダクタの電流は(負電圧/2.2uH)×時間で電流が増加する。

1Aの過電流制限値に対して2A近くまで電流が増加してしまう

破壊には至らなかったが設計想定外の事態となっている

実基板でロングワイヤーによる短絡試験を行うと何が起きるか

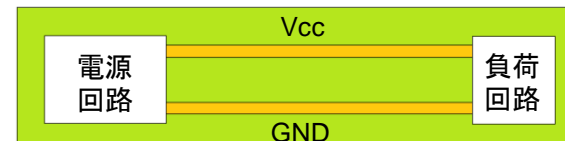
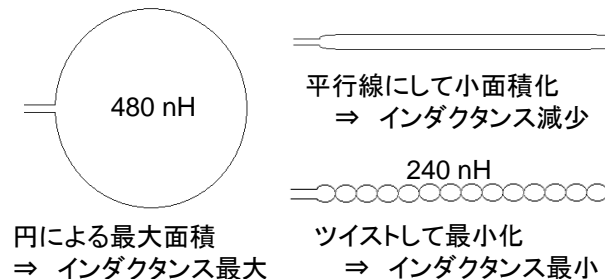
- 製品回路が実装されている実基板でロングワイヤーによる短絡テストを行う
- 共振により出力電圧が負電圧まで低下
- この共振電流はピークで 10A 級の電流が流れている
- Vout の負電圧はそのまま製品回路の VDD に供給される
 - ⇒ 負荷回路の VDD ピンに内蔵された ESD 保護素子に -1V を印加
- 大きな共振電流が流れるループを 0.5V~0.7V の電圧でクランプ
 - ⇒ ループ電流は ESD 保護素子に流れる
 - ⇒ ESD 素子を破壊する可能性大
- この時電源 IC は保護動作により動作を停止
- 電源 IC には共振により発生している物理現象の防止は不可能



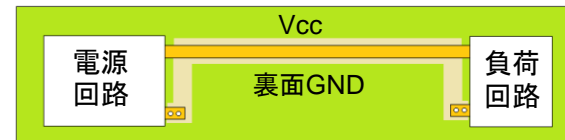
出力コンデンサの端子間短距離短絡の場合や 基板の低インダクタンス電源ラインではピーク電圧は低くなる

- 30cm クラスのロングワイヤーによる出力ショートの場合は、ワイヤーのインダクタンス (1mm あたり 1nH 程度とすると 300nH 程度) 低 ESR のコンデンサと低抵抗の電線による LC 共振の発生が原因
⇒ いずれも低抵抗なのでQ値の高い共振回路となる
- LC 共振が起きなければ負電圧の発生も無く、インダクタ電流の無制限な増加という事態に至らないために、トラブルの発生には至らない
- 出力での LC 共振による負電圧が発生した時、電源 IC の保護動作ではインダクタ電流の増加と負電圧の発生を抑える方法はない
- 短絡テストに長いワイヤーを使用していなくても、コンデンサから離れた Vcc ラインと GND で短絡するとパターンの持つインダクタンス成分により、同様な事象が発生する可能性がある
- 短絡テスト時には、配線の持つインダクタンス成分の影響で予想もしない事態が起きる可能性がある、ということを念頭にテストを実施

30cm のワイヤーのインダクタンス実測



VccとGNDでループ ⇒ インダクタンス大



内層/裏面にVccに沿うGND ⇒ インダクタンス小

入力コンデンサがセラミック・コンデンサの場合は 電源投入時に要注意

入力コンデンサにセラミック・コンデンサを使用している時、外部から電源供給する時にも共振による問題が発生することがある

入力コン:セラミック・コンデンサ 22 μ F/ESR3m Ω 、安定化電源出力:5.0V
30cm の電線 2 本で電源基板に接続

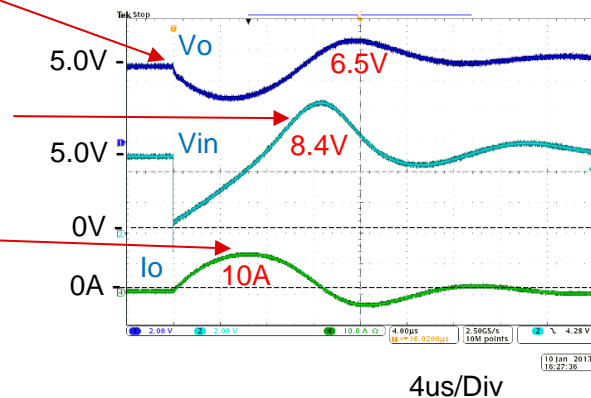
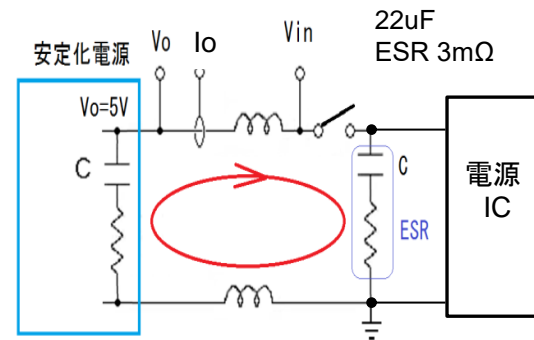
* 総長 60cm のケーブルのループインダクタンス:500nH \sim 1 μ H
安定化電源側電圧 V_o 、セラミックコンデンサ側電圧 V_{in} 、電流 I_o を測定

V_o は 5V から電流急増による 2V の低下後、6.5V まで上昇後、5V に収束

V_{in} は電荷 0 のコンデンサによる短絡で 0V に、充電により 0V から上昇を開始、配線の持つインダクタンスとの共振により供給電圧の 5V を大きく超えた 8.4V まで上昇、その後、LC 共振は減衰振動となり 5V へと収束

I_o は配線のインダクタンスにより 0A から徐々に増加、10A まで増加後、減少に転じ、LC 共振の減衰振動後 0A に収束

5V 入力用に設計されている電源 IC の絶対最大定格(耐圧)は 7V 程度しかないことが多く、 V_{in} が高電圧になった時点で破壊される可能性が大きい



低 ESR、セラミック・コンデンサと配線・パターンとの L との LC 共振によるトラブルの発生を軽減する方法

電源回路の入出力で発生する LC 共振により、電源 IC の絶対最大定格を超える電圧や電流が発生 ⇒ 破壊に至ることがある

定格内での使用条件における破壊のため解析依頼に出すが、過電流か過電圧による破壊としか判定できない

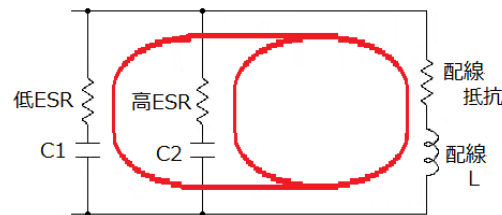
セラコンの低 ESR と電線の L による高い Q 値となる LC 共振回路に起因
⇒ 共振電圧を下げるには Q 値を下げる必要
⇒ コンデンサの ESR を高くする ⇒ 電源特性を低下させることになる

セラミック・コンデンサ C1 に異なる容量・ESR の C2 を並列接続
⇒ 共振電流を ESR の高いループに分流させることにより、共振振動を阻害
ダンピングさせて電圧の低下と収束も早める

C2 に使用するコンデンサは比較的 ESR の高いタンタル・コンデンサや OSコンを使用して、C1 の 3 倍程度、ESR は 50mΩ~100mΩ を選択します

セラコンしか使えない場合は、C1 の 10 倍程度の容量を使用して $L \ll C$ としてピーク電圧を低下させる ⇒ 電源評価基板の入力コンデンサの例

LC共振回路をダンピングさせる



セラコン
47uF/10V

セラコン
4.7uF/6.3V

まとめ

- 出力コンデンサの ESR が大きい時には、出力短絡試験や電源投入時に大電流や LC 共振による高電圧が発生しなかった。
- ESR が非常に小さな大容量積層セラミック・コンデンサの登場で、コンデンサへからの放電電流や充電電流が大きくなっただけでなく、配線のインダクタンスとの LC 共振により高電圧が発生する状態となってきた。
- 電線や基板のパターンは、インダクタンス成分を必ず持つ。少し多めに見積もって **1mm あたり 1nH はある** と考え、100mm あると 100nH 程度のインダクタとみなして、配線やアートを考える必要がある。
- スwitching速度の上昇から電源回路も高周波回路となっており、使用するインダクタも数 μH から数 100nH の桁へと小さくなってきている。配線の持つ nH のインダクタンスが回路に与える影響も大きくなってきている。
- **基板間のワイヤーや部品間のパターン配線が全てインダクタに見える** ような視点を持ち、回路図に書かれていない寄生成分に注意を払って設計する事が必要。